





¿QUÉ FALLA EN TU SISTEMA? - LA TESTABILIDAD

TESTABILIDAD EN EL DISEÑO DE EQUIPOS ELECTRÓNICOS, BITE

M^a CRUZ CAÑEVERAS TRIBALDOS

27/11/2013



Índice

- I. TECNOBIT
- II. Objetivo de la Testabilidad
- III. RAMS & RMT
- IV. Fiabilidad
- V. FMEA & FC
- VI. Disponibilidad
- VII. Mantenibilidad
- VIII. Mantenibilidad vs Mantenimiento
- IX. Testabilidad
- X. Mecanismos de Testeo
- XI. Técnicas de Testabilidad
- XII. Modelo en V para Testeo
- XIII. Productos TecnoBIT
- XIV. Conclusiones
- XV. Dudas y Preguntas

TECNOBIT I

- TECNOBIT es una empresa española con plantas en Madrid y Valdepeñas.



- Somos más de 300 Empleados (60% titulados).
- Cuyo mercado es defensa y cuyas líneas de negocio son las siguientes:



TECNOBIT II

- Entre otros, Aviónica tiene proyectos para:
 - Avión de combate europeo (EF-2000) “TYPHOON”
 - Sistemas del avión A-400M (AMS y MIC)



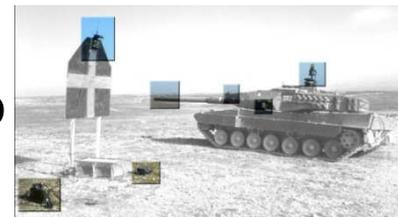
- Optrónica
 - Sistema ARGOS e integración en sistemas de combate.
 - Sistema del misil SPIKE MR/LR



- Mando y Control
 - Sistemas de combate navales
 - Sistema LINPRO



- Simulación y soporte
 - Simuladores de vuelo y mantenimiento
 - Simulador de duelo





Objetivo de la Testabilidad

Si se diseña un sistema pensando en la **Testabilidad**:

- El equipo será fácil mantener y más seguro
- Aumentará la disponibilidad, en bases a las necesidades operativas del cliente
- Minimizar los costes del ciclo de vida

Un sistema que **NO es Testable**:

- Tendrá problemas NO Detectables y NO Aislables
- Empleará muchos recursos en Mantenimiento
- Estará largos periodos tras un fallo hasta que el equipo esté disponible

Built-In Test (BIT) es el primer mecanismo que nos ayuda en la Testabilidad del sistema



RAMS & RMT

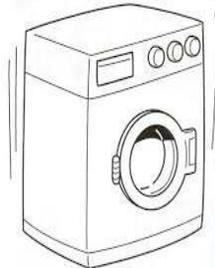
- **RAMS** (Reliability, Availability, Maintainability and Safety) & **RMT** (Reliability, Maintainability and Testability) junto con **ILS** (Integrated Logistic Support) → Objetivo asegurar las prestaciones y el funcionamiento de los equipos durante su vida operativa.



Fiabilidad

Es la característica de un dispositivo expresada por la probabilidad de que un dispositivo cumpla una función requerida en las condiciones de utilización y para un período de tiempo determinado (AFNOR X 06-501).

- Cada vez son más las empresas en sus contratos exigen ciertas normas de fiabilidad (MIL HDBK 217 en USA...)
- Desde un punto de vista puramente económico, es deseable una **alta fiabilidad para reducir los costos totales del producto.**
- En **Fiabilidad** el tiempo se puede medir de otra manera:
 - Número de veces que se enciende un interruptor.
 - Ciclos de lavado en una lavadora.
 - Horas de vuelo de un avión

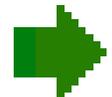


FMEA & FC I

- FMEA-FMECA (Failure Mode Effect and Criticality Analysis)
 - ➔ Análisis de Modos de Fallo, Efectos y Criticidad
 - Método para analizar y descubrir todos los fallos potenciales del sistema, su efecto en el equipo y sistema, como corregir o mitigar dicho fallo o efecto.
 - Se debe dedicar parte del esfuerzo en corregir o mitigar el fallo o efecto se mide en función de:
 - Severidad (Criticidad)
 - Probabilidad (MTBF)
- FC (Failure Catalogue) ➔ Catálogo de Fallos
 - Contiene la misma información que el FMECA, pero además se da gran importancia a la TESTABILIDAD
 - Cada fallo debe identificar:
 - Modo de detección (Organoléptico, BIT...)
 - Test que detecta y aísla el fallo
 - Identificar a cuantos módulos aislamos el fallo

FMEA & FC II

No.	SRU	ITEM	FUNCTION	FAILURE MODE	FAILURE CAUSE	FAILURE RATE 10-6 (1/FH)	FAILURE EFFECT on:		FAILURE EFFECT on: 3. System	RECOGNITION OF FAILURE		REMARKS	
							1. Component	2. Subsystem		1. Indication	2. Hidden Failure		
MIC_G PP MASTE R_001	MIC_GPP 1 FC	F	IBM PPC750GX	One CPU_DL[0:31].	MIC_GPP Master		Degradation of one CPU_DL[0:31].		Loss of MIC_GPP	Loss of 1553-BC and 1553-BT	1. Indication 2. Hidden Failure	1. System conditions (Presence of other failures) 2. Replacement of Unit	
MIC_G PP MASTE R_002	MIC_GPP 1	F											
FAIL. N°	ARI Name	Failure Mode	CRIT.	ARI Effect	Effects on other ARI's	System Effect	FR (FPMH)	DETECT. METHOD	ISOLAT. METHOD	ISOL. to (X ARI's)	FAILURE LOCATION (to ARI's)	TEST NAME	REMARKS / COMMENTS
1	Hood	Loss of Signal rf+	III	Loss of Hood		Partial loss of functions	0.5000	V	V	3	RFA, Hood, WS3_IWA		Operator (with FM) detects environment radiation, but signal is not showed in RA during functional test
2	WS3_IWA	Loss of Signal rf_rtn	III	Loss of WS3_IWA		Partial loss of functions	0.0087	V	V	3	RFA, Hood, WS3_IWA		Operator (with FM) detects environment radiation, but signal is not showed in RA during functional test
3	WS3_IWA	Loss of Signal rf+	III	Loss of WS3_IWA		Partial loss of functions	0.0087	V	V	3	RFA, Hood, WS3_IWA		Operator (with FM) detects environment radiation, but signal is not showed in RA during functional test
4	RFA	Loss of Signal rf_rtn	III	Loss of RFA		Partial loss of functions	1.0000	V	V	3	RFA, Hood, WS3_IWA		Operator (with FM) detects environment radiation, but signal is not showed in RA during functional test
5	RFA	Loss of Signal rf+	III	Loss of RFA		Partial loss of functions	1.0000	CBL	CBL	5	RFA, EA, RA, WS17_IWA, WS4_IWA	T03050	Loss of capability to carry out functional test
6	WS4_IWA	Loss of Signal rf_rtn	III	Loss of WS4_IWA		Partial loss of functions	0.0087	CBL	CBL	5	RFA, EA, RA, WS17_IWA, WS4_IWA	T03050	Loss of capability to carry out functional test
7	WS4_IWA	Loss of Signal rf+	III	Loss of WS4_IWA		Partial loss of functions	0.0087	CBL	CBL	5	RFA, EA, RA, WS17_IWA, WS4_IWA	T03050	Loss of capability to carry out functional test
8	EA	Loss of Signal rf_in_outer	III	Loss of Radar Signal		Partial loss of functions	1.7399	CBL	CBL	5	RFA, EA, RA, WS17_IWA, WS4_IWA	T03050	Loss of capability to carry out functional test
9	EA	Loss of Signal rf_out_inner	III	Loss of Radar Signal		Partial loss of functions	1.7399	CBL	CBL	5	RFA, EA, RA, WS17_IWA, WS4_IWA	T03050	Loss of capability to carry out functional test



Disponibilidad

De un dispositivo es la probabilidad de que funcione en cualquier instante de tiempo.

- En confiabilidad uno de los principales objetivos es diseñar un componente/sistema que pueda funcionar sin fallar tanto tiempo como sea posible.
- Hay distintas variantes para disponibilidad:
 - Ai “Intrinsic Availability”: se obtiene del análisis de la ingeniería de diseño y se calcula mediante el MTTF (Mean Time To Failure) y el MTTR (Mean Time To Repair)
 - Aa “Availability Achieved”: se define como la disponibilidad considerando el mantenimiento preventivo y correctivo, sin considerar la logística ni tareas administrativas.
 - Ao “Operational Availability”: se define como la disponibilidad considerando el mantenimiento preventivo y correctivo, considerando además la logística ni tareas administrativas.



Mantenibilidad

Es la característica de un dispositivo que expresa la facilidad de mantenimiento de un sistema. Esa facilidad se refiere: Tiempo, Coste, Recursos y Conocimientos necesarios.

- La medida de la Mantenibilidad es el MTTR (Mean Time To Repair) →
- Tiempo medio entre fallos de un sistema: surge del análisis de los tiempos necesarios para recuperar un sistema balanceado con el MTBF asociado a cada fallo

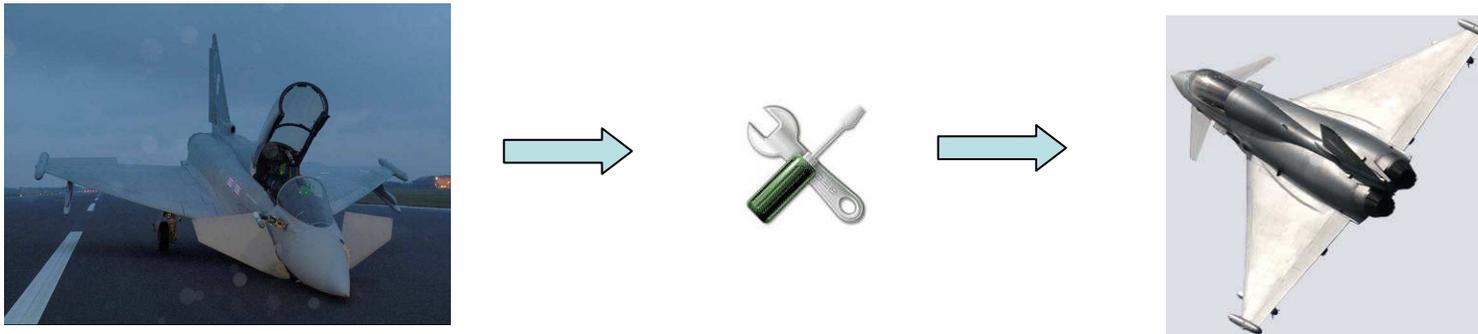


La combinación de una ALTA FIABILIDAD y una ALTA MANTENIBILIDAD dará como resultado una alta DISPONIBILIDAD.



Mantenibilidad vs Mantenimiento

MANTENIMIENTO se entiende como el conjunto de acciones encaminadas a devolver o mantener un producto en una condición operativa.



MANTENIBILIDAD es la medida de la facilidad de mantenimiento de un sistema. Es una característica intrínseca del diseño

La complejidad del mantenimiento del producto dependerá de su mantenibilidad.



Testabilidad I

Es la característica que permite medir la facilidad con la que se puede realizar un test sobre el diseño.
Con ella se permite localizar y detectar fallos

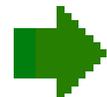
- Un equipo es testeable cuando su diseño nos permite tanto detectar el fallo como aislar el fallo producido.
- La medida de Testabilidad son los MTTTs (Mean Time To Test) o Tiempos medios de Prueba.
- La testabilidad de un equipo está íntimamente relacionada con la mantenibilidad del mismo, ya que el tiempo de aislamiento de fallos también se computa dentro de los tiempos de reparaciones.
- Para demostrar que se cumplen los requisitos de Testabilidad tenemos el FC ←



Testabilidad II

MIL-HDBK-338B: Inherent Testability Checklist

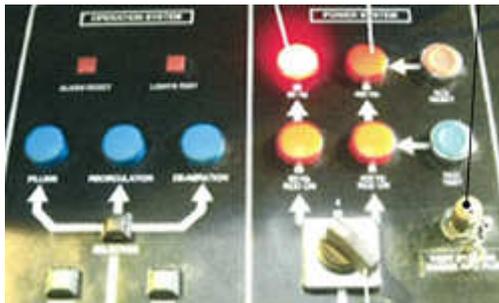
Mechanical Design Checklist (for electronic designs)	
<ul style="list-style-type: none"> • Is a standard grid layout used on boards to facilitate identification of components? • Are the number of I/O pins in an edge connector or cable connector compatible with the I/O capabilities of the selected test equipment? • Are connector pins arranged such that the shorting of physically adjacent pins will cause minimum damage? • Is the design free of special set-up requirements (special cooling) which would slow testing? • Does the item warm up in a reasonable amount of time? • Has provision been made to incorporate a test-header connector into the design to enhance ATE testing of surface-mounted devices? 	<ul style="list-style-type: none"> • Is defeatable keying used on each board so as to reduce the number of unique interface adapters required? • Is each hardware component clearly labeled? • Are all components oriented in the same direction (pin 1 always in same position)? • Does the board layout support guided-probe testing techniques? • When possible, are power and ground included in the I/O connector or test connector? • Have test and repair requirements impacted decisions on conformal coating? • Is enough spacing provided between components to allow for clips and test probes?
Partitioning Checklist (for electronic functions)	
<ul style="list-style-type: none"> • Is each function to be tested placed wholly upon one board? • Within a function, is the size of each block of circuitry to be tested small enough for economical fault detection and isolation? • Is the number of power supplies required compatible with the test equipment? • If more than one function is placed on a board, can each be tested independently? 	<ul style="list-style-type: none"> • If required, are pull up resistors located on the same board as the driving component? • Is the number and type of stimuli required compatible with the test equipment? • Within a function, can complex digital and analog circuitry be tested independently? • Are analog circuits partitioned by frequency to ease tester compatibility? • Are elements which are included in an ambiguity group placed in the same package?
Test Control Checklist	
<ul style="list-style-type: none"> • Are connector pins not needed for operation used to provide test stimulus and control from the tester to internal nodes? • Is it possible to disable on-board oscillators and drive all logic using a tester clock? • Is circuitry provided to by-pass any (unavoidable) one-shot circuitry? • In microprocessor-based systems, does the tester have access to the data bus, address bus and important control lines? • Are active components, such as demultiplexers and shift registers, used to allow the tester to control necessary internal nodes using available input pins? • Can circuitry be quickly and easily driven to a known initial state? (master clear, less than N clocks for initialization sequence)? 	<ul style="list-style-type: none"> • Can long counter chains be broken into smaller segments in test mode with each segment under tester control? • Can feedback loops be broken under control of the tester? • Are test control points included at those nodes which have high fan-in (test bottlenecks)? • Are redundant elements in design capable of being independently tested? • Can the tester electrically partition the item into smaller independent, easy-to-test segments? (placing tri-state element in a high impedance state). • Have provisions been made to test the system bus as a stand-alone entity? • Are input buffers provided for those control point signals with high drive capability requirements?



MECANISMOS DE TESTEO: Organoléptico / Visual

- Los mecanismos de testeo son muchos y muy variados.
- El mecanismo de Testeo más instintivo y el más recurrente es el: Organoléptico o Visual.
- Estos pueden ir desde:

Alarmas visuales o sonoras



Inspecciones Visuales



Anomalías en el funcionamiento



Avisos o errores SW “Warnings”

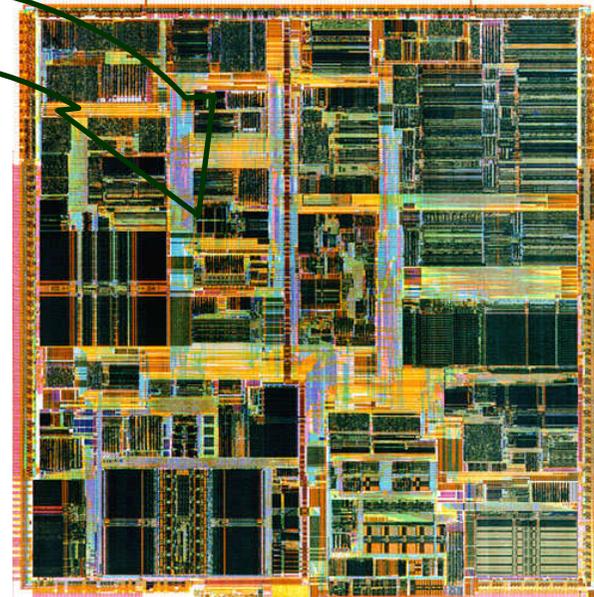
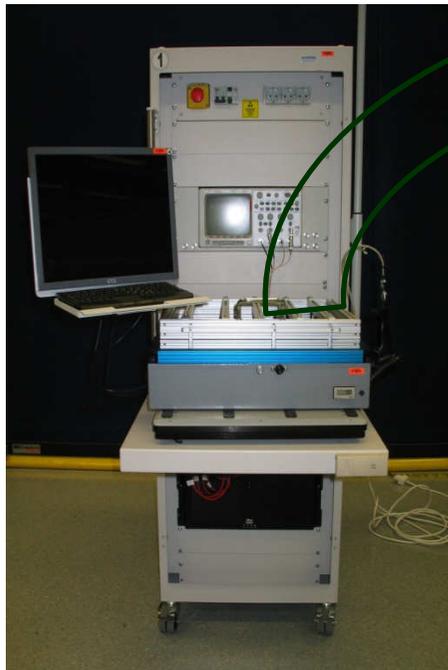
 **Warning:**



 Radar Analyzer  Safety System Safety System: 0.7336 % 

MECANISMOS DE TESTEO: BIT & BITE I

El mecanismo Built-In Test (BIT) permite al sistema auto-testearse mediante la ejecución pruebas definidas; de las cuales muchas podrán llevarse a cabo en su modo de operación normal y algunas podrían llevarse a cabo en otras condiciones específicas.



MECANISMOS DE TESTEO: BIT & BITE II

code	Test explanation	LIMITS			BIT					SOFTWARE		
		min	max	units	PBIT	CBIT	IBIT	Cable BIT	Power Down	type	method	isolation
T01001	Se detiene el CBIT y se comprueba que se ha detenido durante un timeout. PASS si no se generan errores y el CBIT se detiene.						x	x		CPU	StartCbit	CU
T01010	Leer CPU voltage	0.90	1.80	V	x		x			CPU	SensorTest	CU
T01020	Leer CPU temperature	-10	100	°C	x		x			CPU	SensorTest	CU
T01040	Leer battery temperature	-10	70	°C	x		x			CPU	SensorTest	CU
T02010	Se realiza un ping a la ip 192.168.29.2				x		x			Electronic Equipment	PingByInstrumentId Test	EA
T02020	Se obtiene el modelo del dispositivo.	ADAM-6017			x		x			Electronic Equipment	IdentificationByInstrumentTypeTest	EA
T02021	Se obtiene la version de firmware del dispositivo	4.10			x		x			Electronic Equipment	FirmwareByInstrumentIdTest	EA
T02030	Se realiza un ping a la ip de la DIO1				x		x			Electronic Equipment	PingByInstrumentId Test	EA
T02150	Acceder a la tarjeta AD multiplexando según la tabla anexa, recuperar las 19 medidas que vienen del A/D y almacenarlas en un array. Rangos posibles (90-264)V ; (47,5-52,5) Hz y (380-420) Hz				x	x	x	x		Electronic Equipment	RetrieveMeasurementsTest	EA
T02160	Comparar con límites	18.05	19.95	V	x	x	x			Electronic Equipment	MeasurementTest	EA
T02170	Comparar con límites	14.25	15.75	V	x	x	x			Electronic Equipment	MeasurementTest	EA
T02180	Comparar con límites	-15.75	-14.25	V	x	x	x			Electronic Equipment	MeasurementTest	EA
T02190	Comparar con límites	4.75	5.25	V	x	x	x			Electronic Equipment	MeasurementTest	EA



MECANISMOS DE TESTEO: PBIT I

- **Power-Up Built-In Test (PBIT):** se pone en marcha junto con el equipo, es decir, tiene doble función:
 - Inicia el funcionamiento normal de un equipo.
 - Al mismo tiempo que obtiene los valores de las pruebas del mismo para comprobar que funciona.

Go ➡ El equipo puede funcionar.

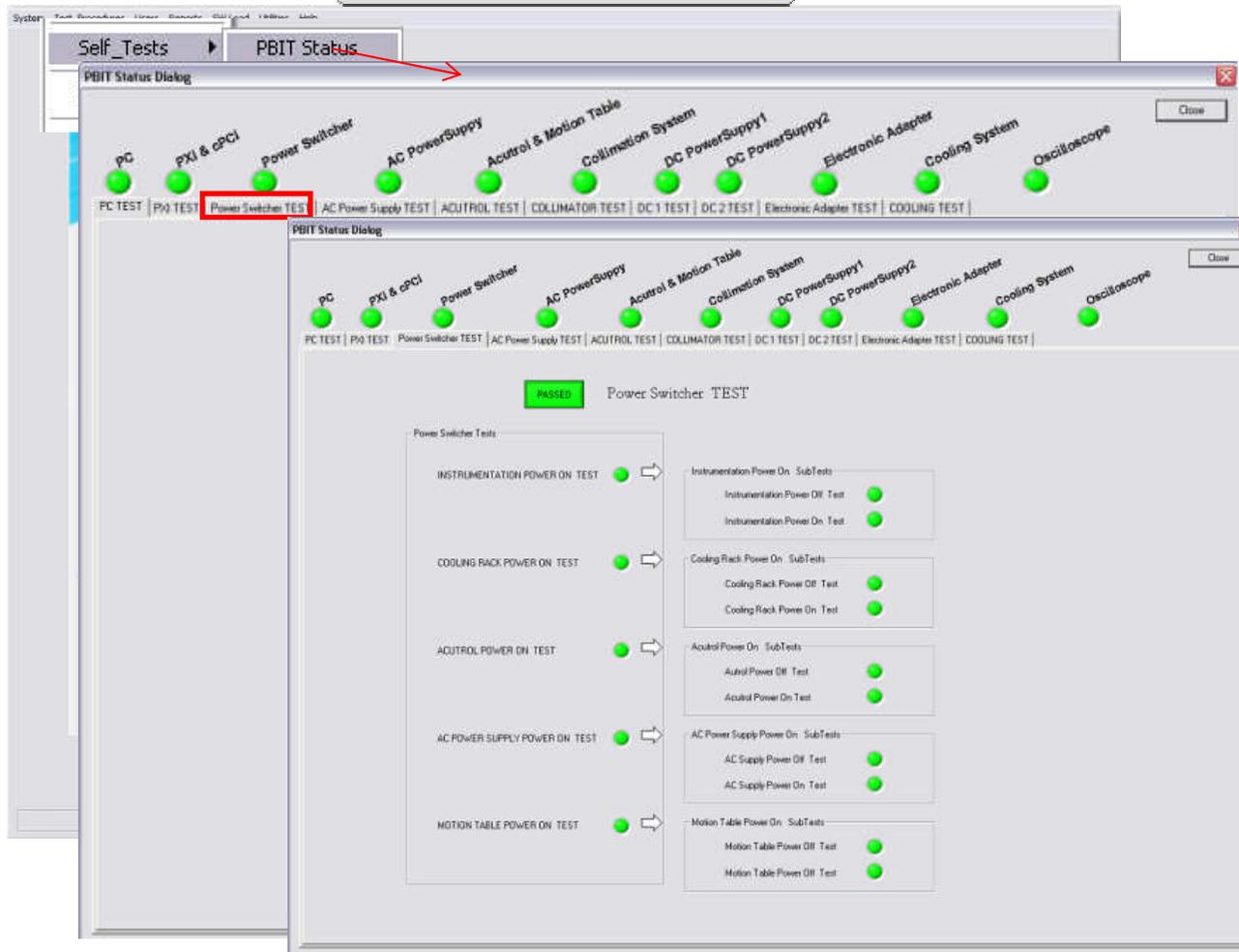
No Go ➡ El equipo NO puede funcionar.

- En los equipos con cierta complejidad los resultados del PBIT deben almacenarse en memoria no volátil, se puede mostrar en pantalla o avisar al operador en caso crítico.
- Dispositivos como: un televisor, una lavadora, un cajero automático, etc. lleva integrado un microcontrolador comprueban consumos, comunicaciones, etc.

MECANISMOS DE TESTEO: PBIT II

PERSEO

Perseo OFF Initialization



The screenshot displays the 'PBIT Status' dialog box with a 'Perseo OFF Initialization' label above it. The dialog shows a list of components and their test results:

- PC: PASSED
- PXI & cPCI: PASSED
- Power Switcher: PASSED (highlighted with a red box)
- AC PowerSupply: PASSED
- Acutrol & Motion Table: PASSED
- Collimation System: PASSED
- DC PowerSupply1: PASSED
- DC PowerSupply2: PASSED
- Electronic Adapter: PASSED
- Cooling System: PASSED
- Oscilloscope: PASSED

The 'Power Switcher TEST' is expanded, showing a 'PASSED' status and a detailed list of sub-tests:

Power Switcher Tests	Sub-Tests
INSTRUMENTATION POWER ON TEST	Instrumentation Power On SubTests
	Instrumentation Power Off Test
	Instrumentation Power On Test
COOLING RACK POWER ON TEST	Cooling Rack Power On SubTests
	Cooling Rack Power Off Test
	Cooling Rack Power On Test
ACUTROL POWER ON TEST	Acutrol Power On SubTests
	Acutrol Power Off Test
	Acutrol Power On Test
AC POWER SUPPLY POWER ON TEST	AC Power Supply Power On SubTests
	AC Supply Power Off Test
	AC Supply Power On Test
MOTION TABLE POWER ON TEST	Motion Table Power On SubTests
	Motion Table Power Off Test
	Motion Table Power On Test



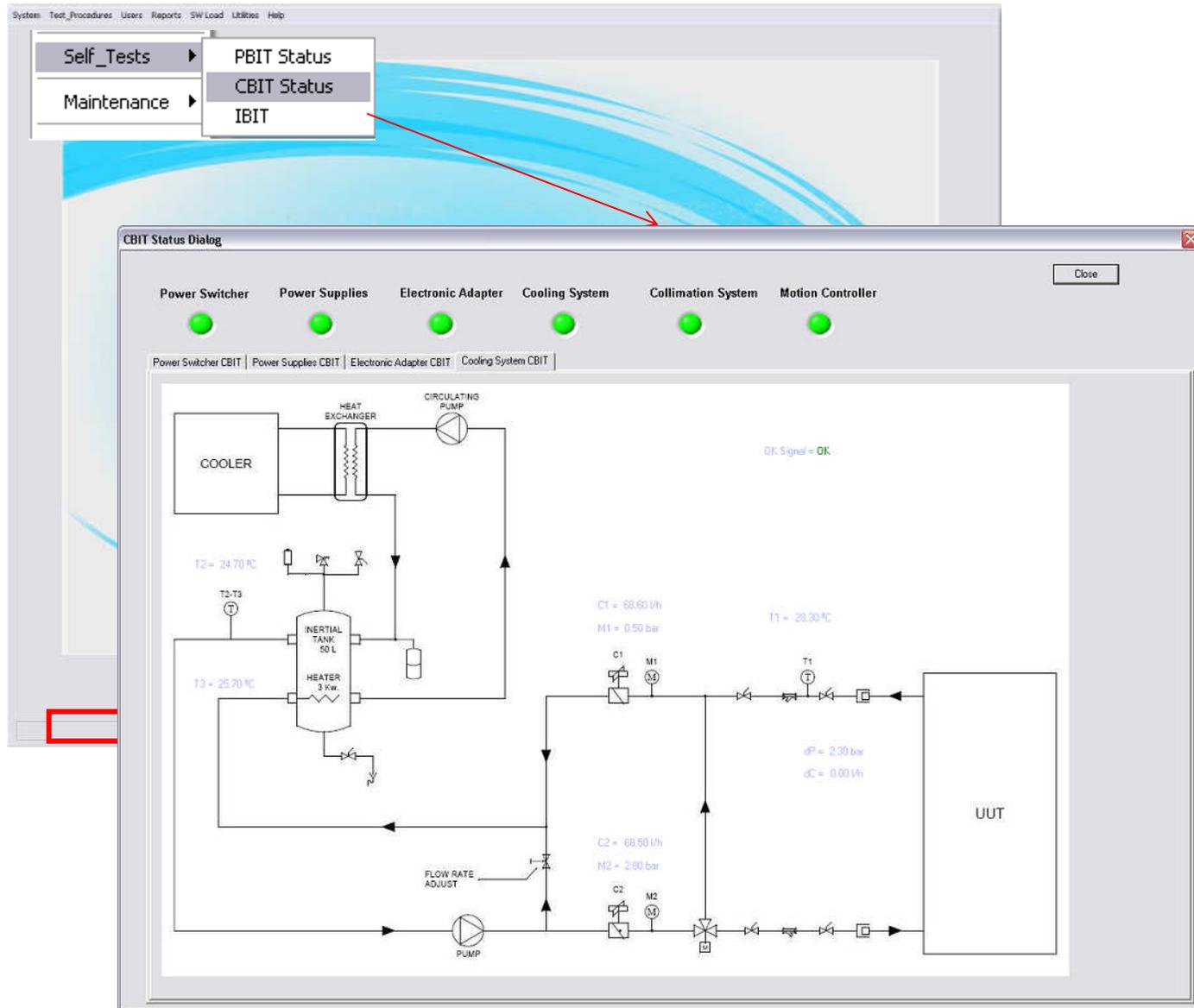
MECANISMOS DE TESTEO: CBIT I

- **Continuous Built-In Test (CBIT):** es un mecanismo de monitoreo continuo o cíclico que comprueba el estado del equipo durante el funcionamiento normal. Estos tests:
 - Comprueban los parámetros críticos para el funcionamiento normal del equipo.
 - Dichas pruebas no interfieren en el mismo.
 - No pueden ser muy extensos, ni alargarse, ni ejecutarse en ciclos largos de tiempo

Hay que llegar a un compromiso entre las pruebas a llevar a cabo y la frecuencia de las mismas.

- La información del CBIT se suele:
 - Mostrar en pantalla
 - Los errores almacenarse en memoria no volátil (report) para tener un histórico de fallos y poder realizar estadísticas.

MECANISMOS DE TESTEO: CBIT II





MECANISMOS DE TESTEO: IBIT I

- **Initiated Built-In Test (IBIT):** es el mecanismo más extenso del BIT pues se lleva a cabo de manera intencionada e interrumpe el funcionamiento normal del equipo para ejecutar los tests, qué:
 - deben ser lo más extensos posibles y deben intentar reproducir las condiciones de funcionamiento normal.
 - se ejecutan por el personal de mantenimiento cuando se realiza:
 - la instalación
 - alguna tarea de mantenimiento o
 - cuando por cualquier otro mecanismo (Visual, BIT) se detecta alguna anomalía en el funcionamiento.
 - Los resultados del IBIT se deben almacenar en memoria no volátil (un fichero, un reporte, una base de datos) para poder tener históricos que faciliten hacer estadísticas y ayudar a tareas de mantenimiento



MECANISMOS DE TESTEO: IBIT II

IBIT Dialog

1. PC
 1.1 Voltage Vcore
 1.2 Voltage 3.3V
 1.3 Voltage +5V
 1.4 Voltage +12V
 1.5 Voltage -12V
 1.6 Voltage -5V
 1.7 Voltage 5V
 1.8 Voltage VB
 1.9 CPU Fan S
 1.10 CPU Temp
 1.11 Printer Test

5. AC Power Supply
 5.1 Communication

10. Oscilloscope
 10.1 Communication

Perseo I BIT
 Complete I BIT
 1. PC
 2. PXI
 3. ePCI
 4. Power Switcher
 5. AC Power Supply
 6. Acutrol / Motion Table
 7. Collimator System
 8. DC Power Supply 1
 9. DC Power Supply 2
 10. Electronic Adapter

IBIT Dialog

1. PC
 1.1 Voltage Vcore
 1.2 Voltage 3.3V
 1.3 Voltage +5V
 1.4 Voltage +12V
 1.5 Voltage -12V
 1.6 Voltage -5V
 1.7 Voltage 5V
 1.8 Voltage VB
 1.9 CPU Fan S
 1.10 CPU Temp
 1.11 Printer Test

5. AC Power Supply
 5.1 Communication
 5.2 Selftest

10. Oscilloscope
 10.1 Communication
 10.2 Selftest

11. Electronic Adapter
 11.1 Power Supply On Test
 11.2 Communication Loop

2. PXI
 2.1 Test PXI-6E
 2.2 Test PXI-6E
 2.3 Test PXI-6E
 2.4 Test PXI-84
 2.5 Test PXI-84
 2.6 Test PXI-84

3. CPCI
 3.1 EXI I BIT S

4. Power Switcher (Pon
 4.1 Inst. Rack
 4.2 Cooling Rai
 4.3 Motion Con
 4.4 AC Power S
 4.5 Motion Tab
 4.6 Power Mon

ATR REPORT - [Get the Last ATR : Informe]

TECNOBIT OFF-AIRCRAFT PERSEO
 Eurofighter Typhoon
 IBIT REPORT

Perseo_IBIT116

Equipment: OFF-Aircraft Perseo P/N: 080001 S/N: 229EQ00000

ATR Number: Perseo_IBIT116 ATR Date: 26/06/2009
 ATP Document: 040214_4204_011_issue_00 Operator: compass

Instrumentation Used

Description	Serial Number	Part Number	Calibration Date
AC Power Supply	No Data	No Data	No Data
Collimator	050001	229CO210000	12-27-2008
DC Power Supply 1	No Data	No Data	No Data
Module not found	No Data	----	No Data
Module not found	No Data	----	No Data
DC Power Supply 2	No Data	No Data	No Data
Module not found	No Data	----	No Data
Module not found	No Data	----	No Data
Module not found	No Data	----	No Data

Page 1 of 33

ATR Date
 June 2009
 Mon Tue Wed Thu Fri Sat Sun
 25 26 27 28 29 30 31
 1 2 3 4 5 6 7
 8 9 10 11 12 13 14
 15 16 17 18 19 20 21
 22 23 24 25 26 27 28
 29 30 1 2 3 4 5

ATR Comments

Next Calibration Date (mm-dd-yyyy)
 -2009 6-12-2010
 -2008 12-27-2008
 -2009 5-28-2010
 -2009 4-3-2010
 ...
 ...
 ...

Update

Launch I BIT
 Stop I BIT
 Last Report
 Cancel

PARA LA CALIDAD
 AEC

Preparado



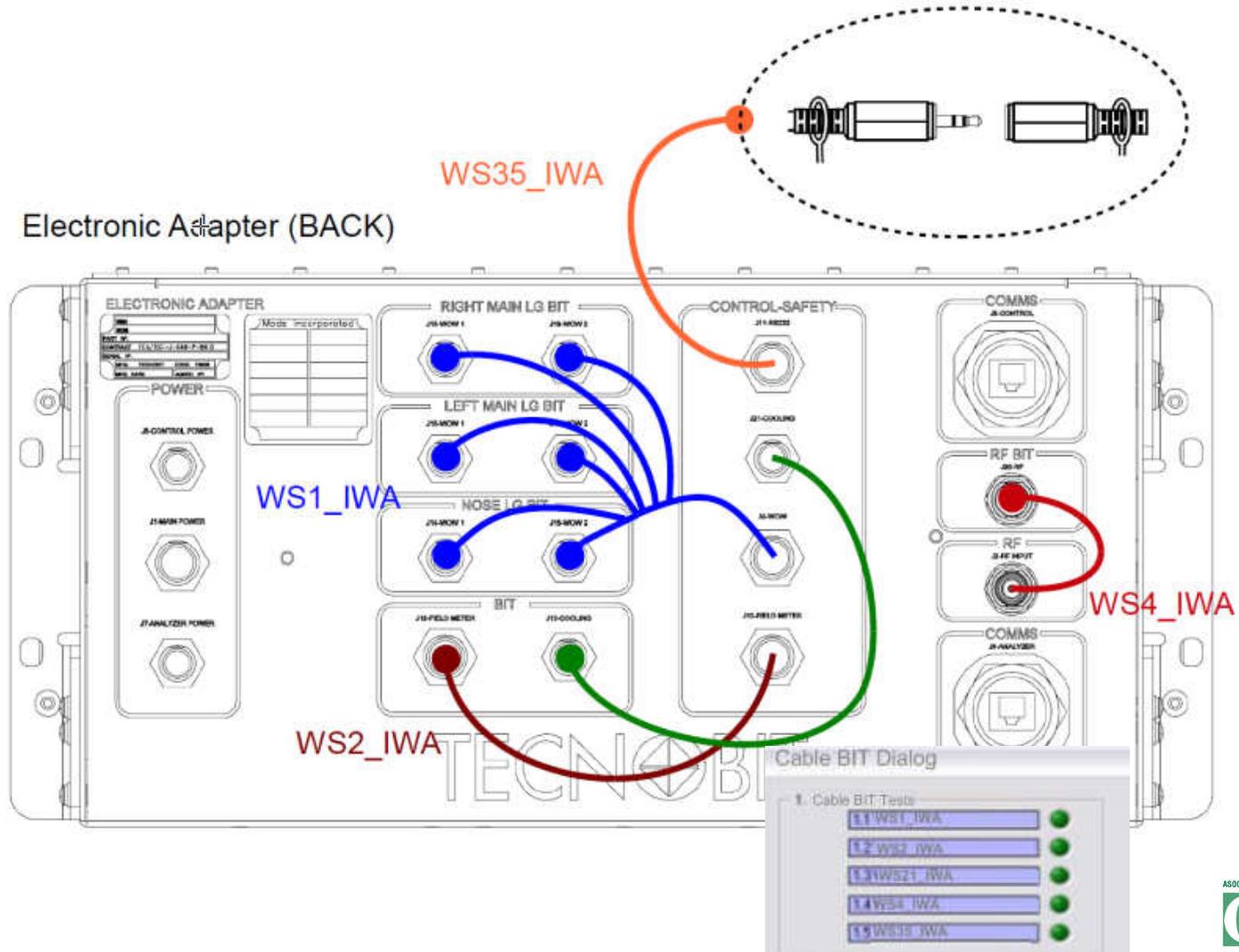
MECANISMOS DE TESTEO:

Otros: Cable BIT

- Otros: Dependiendo de la naturaleza del equipo se pueden encontrar otros BITs específicos:
- **Extended Built-In Test (EBIT):** es un BIT extendido y puede referirse al IBIT o a una batería de tests más extendida.
- **Cable BIT:** en sistemas que tienen muchas conexiones se pueden implementar mecanismos para testear los cables:
 - Útil en sistemas con multitud de cables que a veces son difíciles de probar si no se tiene en cuenta en diseño, implementando loopbacks para los mismos o implementando procedimientos o tests con polímetros que pueden decidir si los cables de interconexión funcionan correctamente.
 - Parecido a un IBIT con el único propósito de probar los cables ya que a veces es complicado aislar los errores de ambos lados de la conexión y los cables.



MECANISMOS DE TESTEO: Cable BIT





MECANISMOS DE TESTEO:

Watchdog

- En algunos sistemas en los que dejar de emitir o recibir alguna señal puede ser crítico se puede implementar este mecanismo de seguridad (perro guardian o pedal del hombre muerto) → **Watchdog**
- Es un temporizador electrónico usado para:
 - detectar funcionamientos anómalos
 - la recuperación de los mismos.
- Durante la operación normal el temporizador se va actualizando mediante una subrutina para que el contador no llegue a cero.
- Si el equipo falla o se bloquea, al no actualizar el contador el watchdog por tanto llegará a cero lo que provocará que se apague o reinicie el sistema.

Técnicas de Testabilidad

- Diseñar pensando en la **Testabilidad “Design For Testability”(DFT)** implica usar técnicas de que mejoren:

- “controlabilidad”
- ”observabilidad”
- “predictibilidad”

- El principio básico a la hora de diseñar es hacer:

**Equipos
Modulares**

Permiten aislar los fallos rápidamente

- Técnicas **ád-hoc**: pueden sistematizarse y proporciona soluciones poco costosas:

- Puntos de Test y Conectores
- Pines E/S adicionales
- Multiplexores/demultiplexores
- Códigos de transferencia SW

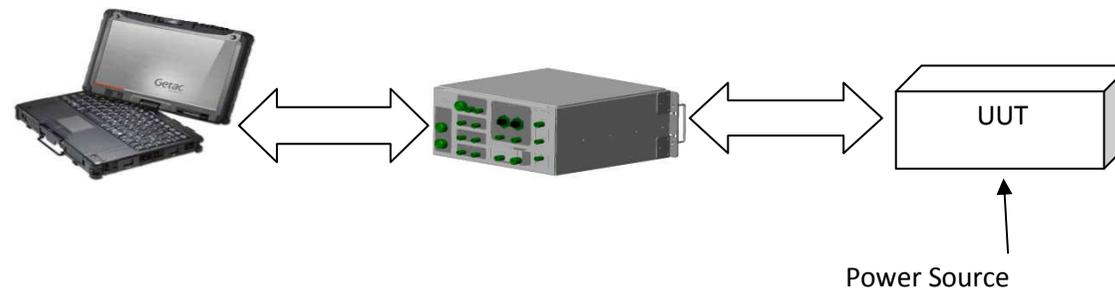
- Técnicas **scan-path** : estructuradas a través de reglas:

- Boundary scan
- JTAG



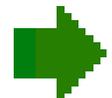
MECANISMOS DE TESTEO: ATE / STTE / AGE

- **Equipos Externos:** junto con el BIT se pueden proporcionar equipos de pruebas externos que ayuden a aislar los fallos detectados por BIT. Algunos tipos de estos equipos son:
 - ATEs: Automatic Test Equipments
 - STTEs: Special Tools & Test Equipments
 - AGEs: Aerospace Ground Equipments
- Estos son equipos autónomos configurados para probar “Unit Under Test” (UUT) mediante:
 - Dispositivos de medición e impulsos programables
 - Software y hardware de computadora digital
 - Equipo periférico de la computadora digital y dispositivos de interfaz



Modelo en V para Testeo

Modelo que integra HW y SW y es estándar para el desarrollo de equipos, especialmente ATEs (Acceptance Test Equipments)

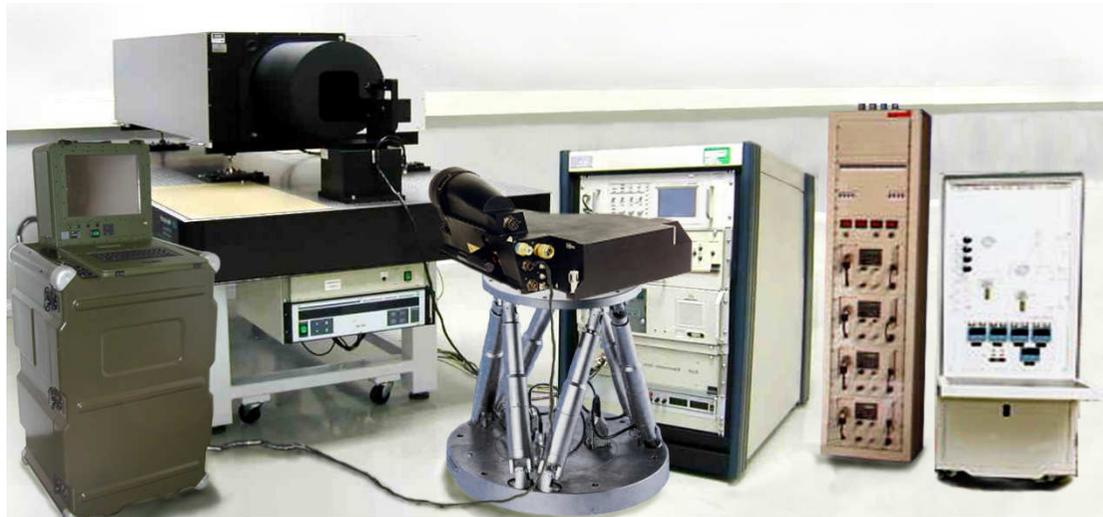




PRODUCTOS TECNOBIT I

Bancos de Pruebas Mantenimiento del FLIR/IRST del EF-2000 "TYPHOON":

- **PERSEO "On Aircraft"**: Banco transportable de nivel pista para verificación "GO-NO GO".
- **PERSEO "Off Aircraft"**: Banco de laboratorio que aísla averías a nivel tarjeta electrónica.

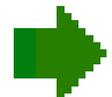
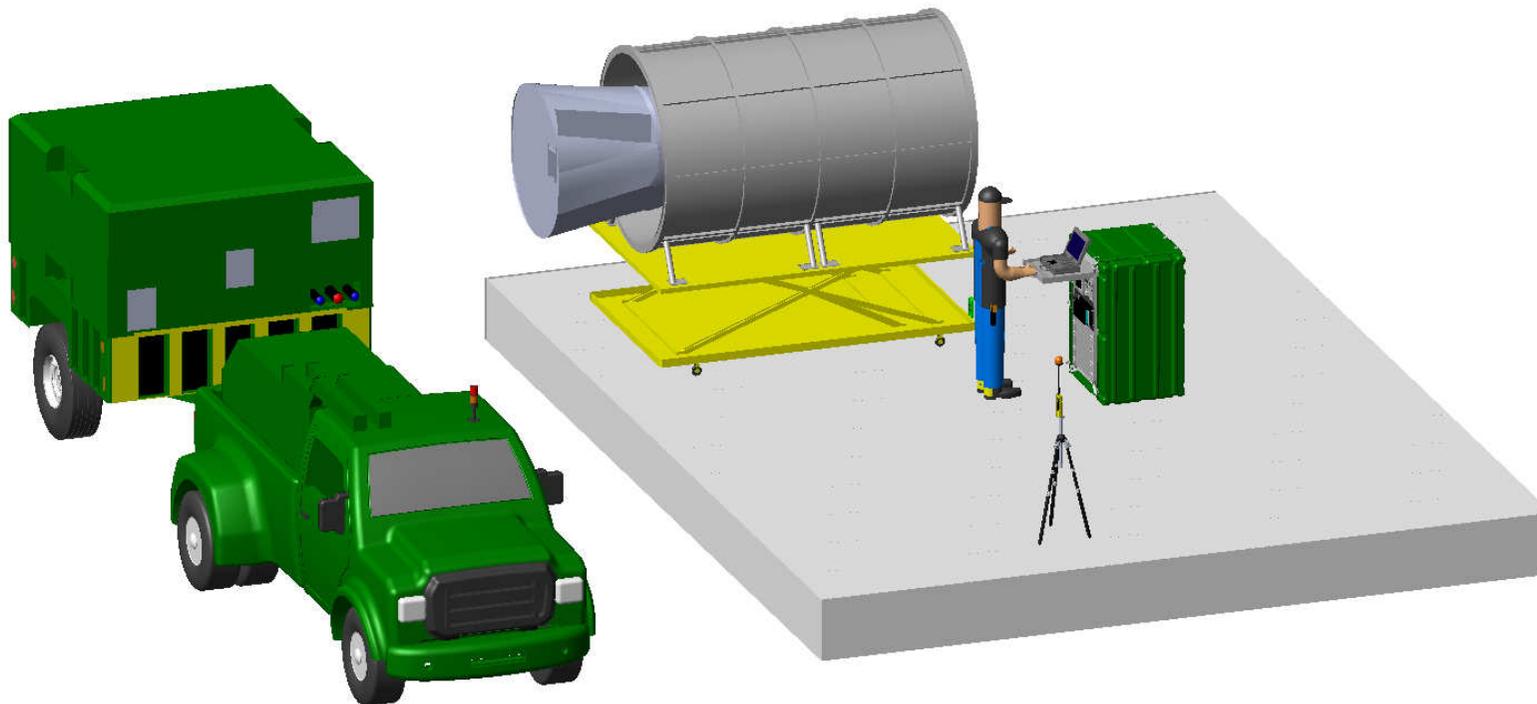




PRODUCTOS TECNOBIT II

Bancos de Prueba para el mantenimiento del Radar del EF-2000 "TYPHOON".

➤ **AGE RADAR:** Equipo transportable de nivel pista para verificación "GO-NO GO" del Radar



Conclusiones

- En el **Diseño de un Equipo**: hay que tener en cuenta no solo que el equipo tiene que funcionar correctamente sino que además lo tiene que hacer:
 - Durante un largo periodo de tiempo.
 - Y teniendo en cuenta que el que el equipo va a fallar.
 - Este tiene que ser mantenido.
- Por tanto hay que:
 - Emplear: tiempo y dinero en añadir HW adicional
 - Desarrollar una aplicación SW o FW para detectar y aislar fallos → Así el mantenimiento será más rápido y por lo tanto mejorará la disponibilidad del equipo.





Dudas y Preguntas



Desde **TECNOBIT**
esperamos haber aportado algo a sus conocimientos de **TESTABILIDAD**

Muchas gracias por su atención